

BEST AVAILABLE COPY

1/9/1

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

002321716

WPI Acc No: 1980-C8150C/198013

Transistor circuit with two variable impedances - which vary in opposite

senses, and differentiating circuit for input signal controlling impedances

Patent Assignee: NIPPON ELECTRIC CO (NIDE)

Inventor: IGUCHI H; MIYAGAWA Y; SHIMADA J

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 2929450	A	19800320				198013 B
US 4305009	A	19811208				198152
DE 2929450	C	19850829				198536

Priority Applications (No Type Date): JP 7888965 A 19780720

Abstract (Basic): DE 2929450 A

The circuit has two variable impedance elements (T5, T6) controlled

by an input signal and connected in series. Their impedances vary in

opposite senses.

The input signal is applied to the input terminal (IN), and the output signal is delivered through the output terminal (OUT2) connected

to the junction point between the two impedances. A differentiating circuit (INV2, C3) is inserted between the input and output terminals

(IN, OUT2) and differentiates the input signal.

Title Terms: TRANSISTOR; CIRCUIT; TWO; VARIABLE; IMPEDANCE; VARY; OPPOSED;

SENSE; DIFFERENTIAL; CIRCUIT; INPUT; SIGNAL; CONTROL; IMPEDANCE

Derwent Class: U21; U22

International Patent Class (Additional): H03K-005/00; H03K-017/04;

H03K-019/08

File Segment: EPI

?

THIS PAGE BLANK (USPTO)

⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑪ DE 2929450 C2

(1)
⑤ Int. Cl. 4:
H03K 5/00
H 03 K 19/08
H 03 K 19/092

② Aktenzeichen: P 29 29 450.6-31
② Anmeldetag: 20. 7. 79
④ Offenlegungstag: 20. 3. 80
④ Veröffentlichungstag
der Patenterteilung: 29. 8. 85

DE 2929450 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③ Unionspriorität: ② ③ ③
20.07.78 JP P88965-78

⑦ Patentinhaber:
Nippon Electric Co., Ltd., Tokio/Tokyo, JP

⑦ Vertreter:
Glawe, R., Dipl.-Ing. Dr.-Ing., 8000 München; Deifs,
K., Dipl.-Ing., 2000 Hamburg; Moll, W., Dipl.-Phys.
Dr.rer.nat., 8000 München; Mengdehl, U.,
Dipl.-Chem. Dr.rer.nat.; Niebuhr, H., Dipl.-Phys.
Dr.phil.habil., Pat.-Anw., 2000 Hamburg

⑦ Erfinder:
Miyagawa, Yoichi; Shimada, Jiro; Iguchi, Hiroshi,
Tokio/Tokyo, JP

⑤ Im Prüfungsverfahren entgegengehaltene
Druckschriften nach § 44 PatG:

DE-OS 28 03 811
DE-OS 25 22 341
DE-OS 24 25 973
US 39 16 430

⑤ Schaltungsanordnung zur Pegelanpassung

DE 2929450 C2

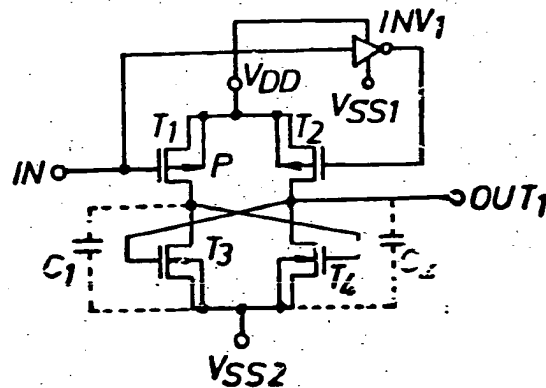


FIG. 1

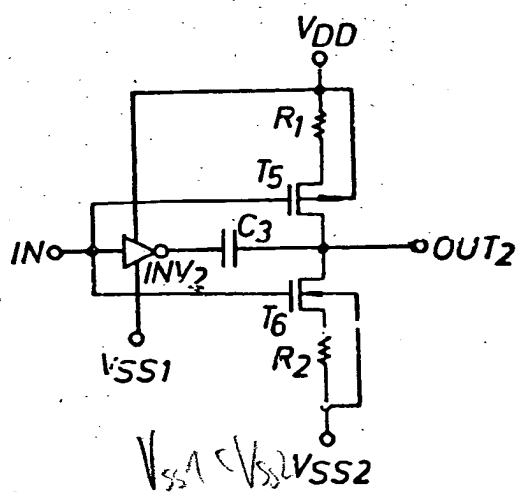


FIG. 2

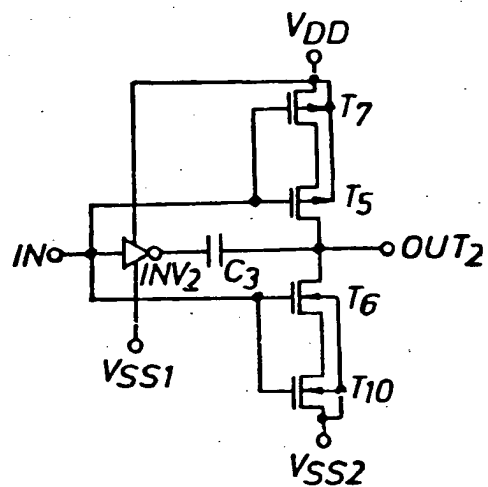


FIG. 3

Patentanspruch:

Schaltungsanordnung zur Pegelanpassung, mit zwei in Serie an einer Versorgungsspannung liegenden steuerbaren Impedanzelementen, einem mit den Steuereingängen beider Impedanzelemente verbundenen Signaleingang und einem mit dem Verbindungspunkt der Impedanzelemente verbundenen Signalausgang, wobei die Impedanzen der Impedanzelemente in Abhängigkeit von dem am Signaleingang anliegenden Eingangssignal gegensinnig zueinander veränderbar sind, dadurch gekennzeichnet, daß der Signaleingang (IN) mit dem Signalausgang (OUT2) durch eine einen Inverter (INV2) und ein Differenzierglied (C3) enthaltende Schaltung verbunden ist, die den Signalausgang (OUT2) mit der Ableitung des invertierten Eingangssignals beaufschlagt, und daß an dem Inverter (INV2) eine von der Versorgungsspannung (V_{SS2}) der Impedanzelemente ($T5$, $T6$) verschiedene Versorgungsspannung (V_{SS1}) anliegt.

Die Erfindung betrifft eine Schaltungsanordnung zur Pegelanpassung von der im Oberbegriff des Patentanspruches angegebenen Art.

Eine derartige Schaltungsanordnung zur Pegelanpassung an einer Logikschaltung ist in der nicht vorveröffentlichten DE-OS 28 03 811 beschrieben. Ferner ist eine Schaltung dieser Art aus der DE-OS 24 25 973 als Verstärkerschaltung, deren Arbeitspunkt zur Korrektur von herstellungs- und umgebungsbedingten Schwankungen verschoben werden kann, bekannt. Weiterhin ist aus US-PS 39 16 430 eine Schaltung mit zwei parallelgeschalteten Zweigen bekannt, von denen jeder eine Schaltung der eingangs genannten Art darstellt, wobei der Steuereingang eines der Impedanzelemente jedes Zweiges über Kreuz mit dem Verbindungspunkt der beiden Impedanzelemente des anderen Zweiges verbunden ist und der Steuereingang des jeweils anderen Impedanzelementes in dem einen Zweig mit dem Eingangssignal und in dem anderen Zweig mit dem invertierten Eingangssignal beaufschlagt ist.

Die Wirkung einer Schaltung dieser Art beruht darauf, daß je nach dem Niveau des Eingangssignals das eine oder andere Impedanzelement gesperrt und das jeweils andere durchgeschaltet ist, oder umgekehrt, wodurch die an den Impedanzelementen anliegende Versorgungsspannung entsprechend unterschiedlich spannungsteilt wird und damit das Potential am Verbindungspunkt der beiden Impedanzelemente, d. h. am Signalausgang, sich entsprechend unterschiedlich einstellt.

Bedingt durch die Schaltzeiten der z. B. als Feldeffekttransistoren, insbesondere MOS-FET ausgebildeten Impedanzelemente tritt zwischen den Änderungen des Eingangssignals und der dadurch ausgelösten Potentialänderung am Signalausgang unvermeidlich eine Verzögerung ein. Die bekannten Schaltungen haben daher eine relativ lange Ansprechzeit. Bei vielen Anwendungen einer solchen Schaltung, insbesondere wenn es um eine Driftkorrektur des Arbeitspunktes geht, spielt dies keine große Rolle. Ferner kann die genannte Verzögerung, je nach Art der Schaltung, auch dazu führen, daß während der Verzögerungszeit ein Stromweg zwischen den Polen der Versorgungsspannung über zwei durch-

geschaltete Impedanzelemente geschaffen wird und ein hoher Verluststrom fließt und die Schaltung bei häufigen Schaltvorgängen eine hohe Leistungsaufnahme hat.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltung der genannten Art so auszubilden, daß die Verzögerungszeit zwischen einer Änderung des Eingangssignals und einer entsprechenden Änderung des Ausgangssignals, d. h. die Ansprechzeit, möglichst gering ist und das Fließen hoher Verlustströme während der Ansprechzeit vermieden wird.

Die Lösung der Aufgabe ist im Patentanspruch angegeben. Durch die direkte Beaufschlagung des Signalausgangs mit dem invertierten Eingangssignal wird erreicht, daß der Beginn des Ansprechens des Ausgangssignals auf Änderung des Eingangssignals sehr schnell, unabhängig von den Schaltzeiten der Impedanzelemente, erfolgt. Andererseits wird durch die Beaufschlagung der Steuereingänge beider Impedanzelemente mit dem Eingangssignal dafür gesorgt, daß eines der beiden Impedanzelemente sehr schnell in den Sperrzustand schaltet, so daß nicht genügend Zeit für den Aufbau eines großen Verluststroms zur Verfügung steht. Die Schaltung arbeitet daher mit sehr geringer Leistungsaufnahme.

Ausführungsformen der Erfindung werden anhand der Zeichnungen näher beschrieben. Es zeigt

Fig. 1 das Schaltbild einer bekannten Schaltungsanordnung zur Pegelanpassung gemäß US-PS 39 16 430;

Fig. 2 ein Schaltungsdiagramm einer bevorzugten Ausführungsform der Erfindung;

Fig. 3, 4 und 5 Schaltungsdiagramme von weiteren bevorzugten Ausführungsformen der Erfindung und Fig. 6a und 6b Ablaufdiagramme der Betriebsweise der Pegelverschiebeschaltung nach Fig. 1 und 2.

Fig. 1 zeigt eine als Pegelverschiebeschaltung verwendete bekannte Transistorschaltung, bei der eine erste Komplementär-FET-Schaltung aus einer Reihenschaltung eines P-Kanal-FET's T_1 und eines N-Kanal-FET's T_3 sowie eine zweite Komplementär-FET-Schaltung aus einer Reihenschaltung eines P-Kanal-FET's T_2 und eines N-Kanal-FET's T_4 verwendet werden. Dabei ist eine Spannungsquelle V_{DD} zur Zuführung eines positiven Potentials V_{DD} mit den Sourceelektroden der beiden P-Kanal-FET's T_1 und T_2 und die Sourceelektroden der beiden N-Kanal-FET's T_3 und T_4 sind mit einer Spannungsquelle V_{SS2} zur Zuführung eines negativen Potentials V_{SS2} verbunden, auf das ein Eingangssignal in seinem Pegel verschoben werden soll. Die gemeinsamen Drainverbindungen in den entsprechenden Komplementär-FET-Schaltungen sind mit den Gateelektroden des N-Kanal-FET's T_3 bzw. T_4 der anderen Komplementär-FET-Schaltung verbunden. Ein Eingangssignal mit einem höheren Pegel, dem Potential V_{DD} und einem niedrigeren Pegel, dem Potential V_{SS1} wird über eine Eingangsklemme IN der Gateelektrode des P-Kanal-FET's T_1 direkt zugeführt. Dieses Eingangssignal wird jedoch der Gateelektrode des N-Kanal-FET's T_3 nicht zugeführt. Dieses Eingangssignal wird nun nach einer Inversion durch einen Inverter INV, der durch die Spannungsquelle V_{DD} und eine negative Spannungsquelle V_{SS1} mit einem vorbestimmten negativen Potential V_{SS1} betrieben wird, der Gateelektrode des P-Kanal-FET's T_2 zugeführt und es wird dann ein Signal an der Drainelektrode des P-Kanal-FET's T_2 der Gateelektrode des N-Kanal-FET's T_3 zugeführt. Das an der Drainelektrode des N-Kanal-FET's T_3 anliegende Signal wird der Gateelektrode eines N-Kanal-FET's T_4 zugeführt. Der Ausgangssignalpegel wird bestimmt durch

den Potentialpegel am Verbindungspunkt der Drainelektroden, der durch den P-Kanal-FET T_2 und den N-Kanal-FET T_4 gebildeten CMOS-Schaltung.

Die bisher bekannte Pegelverschiebeschaltung nach Fig. 1 verwendet im Prinzip die P-Kanal-FET's T_1 und T_2 als aktive Elemente und die N-Kanal-FET's T_3 und T_4 als Lastelemente. Der durch den N-Kanal FET T_4 gegebene Lastwiderstand wird durch das Drainpotential des P-Kanal-FET's T_1 und der durch den N-Kanal-FET T_3 gegebene Lastwiderstand wird durch das Drainpotential des P-Kanal-FET's T_2 gesteuert.

Bei der bekannten Pegelverschiebeschaltung nach Fig. 1 wird bei einem Eingangssignal mit niedrigem Pegel, also dem Potential V_{SS1} , ein Ausgangssignal mit einem auf das Potential V_{SS2} verschobenen niedrigen Pegel geliefert. Wenn ein positiver Potentialpegel V_{DD} an die Eingangsklemme IN als Eingangssignal angelegt wird, so erhält man an der Ausgangsklemme OUT_1 den positiven Potentialpegel V_{DD} als Ausgangssignal. Wenn ein erster negativer Potentialpegel V_{SS1} an die Eingangsklemme IN angelegt wird, so erhält man ein Ausgangssignal mit einem zweiten negativen Potentialpegel V_{SS2} . Damit wird der niedrige Pegel des Ausgangssignals vom ersten negativen Potentialpegel V_{SS1} zum zweiten negativen Potentialpegel V_{SS2} verschoben.

Es wird nun anhand von Fig. 6a die Betriebsweise der bekannten Pegelverschiebeschaltung nach Fig. 1 beschrieben. Dabei stellt die Kurvenform I_1 das der Eingangsklemme IN in Fig. 1 zugeführte Eingangssignal und die Kurvenform O_1 das von der Ausgangsklemme OUT_1 in Fig. 1 abgenommene Ausgangssignal dar.

Wenn sich das über die Eingangsklemme IN an die Gateelektrode des P-Kanal-FET's T_1 angelegte Potential des Eingangssignals I_1 auf dem positiven Potentialpegel V_{DD} (Zeitdauer A in Fig. 6) befindet, so befindet sich das an der Gateelektrode des P-Kanal-FET's T_2 anliegende Potential auf einem durch den Inverter INV_1 invertierten negativen Potentialpegel V_{SS1} . Damit wird der P-Kanal-FET T_2 leitend und der an der Ausgangsklemme OUT_1 anliegende Potentialpegel des Ausgangssignals O_1 befindet sich auf einem positiven Potentialpegel V_{DD} .

Wenn sich andererseits der Potentialpegel des Eingangssignals I_1 auf einem ersten negativen Potentialpegel V_{SS1} (Zeitdauer B in Fig. 6a) befindet, so wird der P-Kanal-FET T_1 leitend und der P-Kanal-FET T_2 nach einer Verzögerungszeit T_1 nichtleitend. Damit werden die N-Kanal-FET's T_3 und T_4 leitend bzw. nichtleitend, so daß ein Ausgangssignal O_1 mit einem zweiten negativen Potentialpegel V_{SS2} der Ausgangsklemme OUT_1 zugeführt wird. Damit kann das Eingangssignal I_1 , dessen Pegel sich auf dem niedrigen Pegel des ersten negativen Potentialpegels V_{SS1} befindet, in seinem Pegel auf das Ausgangssignal O_1 verschoben werden, das einen niedrigen Pegel mit dem zweiten negativen Potentialpegel V_{SS2} aufweist.

Die in Fig. 1 dargestellte Pegelverschiebeschaltung, die den oben beschriebenen Pegelverschiebevorgang durchführen kann, nimmt jedoch während der Zeiträume T_1 und T_2 die folgenden Zwischenzustände an.

Wenn der Potentialpegel des Eingangssignals I_1 sich auf dem positiven Potentialpegel V_{DD} befindet, so werden der P-Kanal-FET T_1 und der N-Kanal-FET T_4 nichtleitend, wohingegen der P-Kanal-FET T_2 und der N-Kanal-FET T_3 leitend werden. Wenn nun der Potentialpegel des Eingangssignals I_1 auf den niedrigen Pegel des ersten negativen Potentialpegels V_{SS1} verändert wird, so mit das an der Gateelektrode des P-Kanal-FET's T_2 anlie-

gende Potential einen positiven Potentialpegel V_{DD} an, und zwar nach einer gewissen Verzögerung, und die P-Kanal-FET T_1 und T_2 werden leitend bzw. nichtleitend. Nach dieser Änderung im Potentialpegel des Eingangssignals I_1 treten jedoch, aufgrund der in den Streukapazitäten C_1 und C_2 , die in Fig. 1 mit gestrichelten Linien zwischen den entsprechenden Source- und Drain-Elektroden der N-Kanal-FET's T_3 und T_4 eingezeichnet sind, gespeicherten Ladungen, die Zustandsänderungen der N-Kanal-FET's T_3 und T_4 nicht gleichzeitig mit den Zustandsänderungen der P-Kanal-FET's T_1 und T_2 auf und es werden für eine Weile die vorübergehenden Zustände beibehalten.

Insbesondere, wenn der P-Kanal-FET T_1 entsprechend dem Eingangssignal I_1 in den leitenden Zustand gebracht wurde, behält der N-Kanal-FET T_3 seinen vorhergehenden leitenden Zustand aufgrund der Streukapazität C_1 für eine Weile bei. Nachdem dann das Drainpotential des P-Kanal-FET's T_2 nach Beendigung der Aufladung der Streukapazität C_1 auf das positive Potential V_{DD} angestiegen ist, wird der N-Kanal-FET T_4 leitend und das Drainpotential des P-Kanal-FET's T_2 erreicht dadurch das zweite negative Potential V_{SS2} . Diese Übergangsdauer ist die mit T_1 in Fig. 1 gekennzeichnete Zeitdauer, während der vorübergehend ein Leitungsweg zwischen den positiven und negativen Spannungsquellen über den P-Kanal-FET's T_1 und den N-Kanal-FET T_3 gebildet wird, so daß ein Strom hindurchfließt und die Leistungsaufnahme der Transistorschaltung dadurch erhöht wird. Wenn das an der Eingangsklemme IN anliegende Eingangssignal einer entgegengesetzten Änderung unterzogen wird, d.h. vom Potentialpegel V_{SS1} zum Potentialpegel V_{DD} geändert wird, so fließt der Strom zwischen den positiven und negativen Spannungsquellen V_{DD} und V_{SS2} während der Zeitdauer T_2 durch den P-Kanal-FET T_2 und den N-Kanal-FET T_4 . Wenn damit die Zyklen des Eingangssignals verkürzt werden, so wird der Zeitabschnitt, während dem der Strom durch die FET's fließt, verlängert, was zu einer beträchtlichen Zunahme des Leistungsverbrauchs führt, insbesondere bei einer mit hoher Geschwindigkeit und niedriger Leistungsaufnahme arbeitenden integrierten Halbleiterschaltung, so daß derartige Pegelverschiebeschaltungen nicht verwendet werden können. Darüber hinaus wird das Eingangssignal I_1 nicht direkt der Gateelektrode des N-Kanal-FET's T_3 , sondern über den Inverter INV_1 der Gateelektrode des P-Kanal-FET's T_2 zugeführt und es wird dann das an der Drainelektrode des P-Kanal-FET's T_2 erhaltene Signal an die Gateelektrode des N-Kanal-FET's T_3 angelegt. Damit kann das Eingangssignal I_1 nicht direkt den N-Kanal-FET T_3 steuern, so daß die Steuerung des N-Kanal-FET's T_3 nicht schnell gemacht werden kann. Bei einer derartigen Pegelverschiebeschaltung wird der Potentialpegel des Ausgangssignals nicht gleichzeitig mit der Änderung des Eingangssignals bestimmt. Es kann damit kein Hochgeschwindigkeits-Pegelverschiebevorgang erzielt werden.

Eine bevorzugte Ausführungsform der erfindungsgemäßen Transistorschaltung ist in Fig. 2 dargestellt. Die folgende Beschreibung bezieht sich auf die Transistorschaltung in ihrer Anwendung auf eine Pegelverschiebeschaltung.

Die Pegelverschiebeschaltung nach Fig. 2 weist einen P-Kanal-FET T_3 und einen N-Kanal-FET T_6 auf, die in Reihe geschaltet sind. Die Source des P-Kanal-FET's T_3 ist über einen Widerstand R_1 von beispielsweise 100 K Ω mit einer positiven Spannungsquelle mit dem

Potentialpegel V_{DD} und die Source des N-Kanal-FETs T_6 über einen Widerstand R_2 von beispielsweise 100 k Ω mit einer negativen Spannungsquelle mit dem negativen Potentialpegel V_{SS1} verbunden. Darüber hinaus ist ein Verbindungspunkt der Drainelektroden des P-Kanal-FETs T_3 und des N-Kanal-FETs T_6 mit dem einen Anschluß eines Kondensators C_1 verbunden, dessen anderer Anschluß mit dem Ausgang eines Inverters INV_2 verbunden ist. Einer positiven Potentialzuführungsklemme des Inverters INV_2 wird das positive Potential V_{DD} zugeführt, während dessen negativer Potentialzuführungsklemme ein negatives Potential V_{SS1} zugeführt wird, das ein der vorhergehenden Schaltungsstufe zugeführtes negatives Potential oder irgendein vorbestimmtes negatives Potential sein kann. Im nachfolgenden wird das negative Potential V_{SS1} als erstes negatives Potential V_{SS1} und das negative Potential V_{SS2} als zweites negatives Potential V_{SS2} bezeichnet. Nun wird das erste negative Potential V_{SS1} so eingestellt, daß es in seinem Absolutwert kleiner ist als das zweite negative Potential V_{SS2} . Die Eingangsklemme IN , an der das Eingangssignal anliegt, ist sowohl mit dem Eingang des Inverters INV_2 als auch mit den Gateelektroden des P-Kanal-FETs T_3 und des N-Kanal-FETs T_6 verbunden, während der Verbindungspunkt der Drainelektroden des P-Kanal-FETs T_3 und des N-Kanal-FETs T_6 mit einer Ausgangsklemme OUT_2 verbunden ist. Die Kapazität des Kondensators C_1 beträgt vorzugsweise 5 pF oder mehr. Diese Kapazität ist in geeigneter Weise entsprechend den Lastimpedanzen und den Sättigungswiderständen in der FETs ausgewählt und eine für eine integrierte Halbleiterschaltung geeignete Kapazität beträgt höchstens etwa 50 pF.

Bei dieser Ausführungsform der Pegelverschiebeschaltung bilden der P-Kanal-FET T_3 und der N-Kanal-FET T_6 eine CMOS-Schaltung und der Inverter INV_2 und der Kondensator C_1 bilden eine Differenzierschaltung.

Eine Grundoperation der Pegelverschiebeschaltung besteht darin, zwei Arten von Ausgangspegeln an der Ausgangsklemme OUT_2 in Abhängigkeit vom Eingangssignal zu liefern. Der eine Ausgangspegel ist das positive Potential V_{DD} und der andere Ausgangspegel ist das zweite negative Potential V_{SS2} . Wenn nun ein Eingangssignal mit dem positiven Potential V_{DD} an die Eingangsklemme IN angelegt wird, so wird der N-Kanal-FET T_6 leitend und an der Ausgangsklemme OUT_2 wird ein Ausgangssignal mit dem zweiten negativen Potential V_{SS2} abgenommen. Wenn andererseits ein Eingangssignal mit dem ersten negativen Potential V_{SS1} der Eingangsklemme IN zugeführt wird, so wird der P-Kanal-FET T_3 leitend und an der Ausgangsklemme OUT_2 wird ein Ausgangssignal mit dem positiven Potential V_{DD} abgenommen. In diesem Fall wird das Eingangssignal mit positivem Pegel auf ein Ausgangssignal mit dem zweiten negativen Pegel und das Eingangssignal mit dem ersten negativen Pegel auf das Ausgangssignal mit dem positiven Pegel verschoben.

Eine charakteristische Wirkung der oben beschriebenen Pegelverschiebeschaltung tritt zu einem Zeitpunkt auf, wenn der eine Potentialpegel des Eingangssignals in den anderen Potentialpegel verändert wird. Dies wird nun anhand von Fig. 6 näher beschrieben.

Zuerst, wenn sich das Eingangssignal vom ersten negativen Potentialpegel V_{SS1} zum positiven Potentialpegel V_{DD} ändert, so wird der P-Kanal-FET T_3 in den nichtleitenden Zustand und der N-Kanal-FET T_6 gleichzeitig in den leitenden Zustand gebracht. Damit tritt an der

Ausgangsklemme OUT_2 (während der Zeitdauer D in Fig. 6b) das zweite negative Potential V_{SS2} auf. Zu diesem Zeitpunkt wird jedoch das dem Inverter INV_2 zugeführte Eingangssignal I_1 durch diesen schnell invertiert, das invertierte Signal durch den nachfolgenden Kondensator C_1 differenziert und das differenzierte, ins negative gehende Signal bringt die Ausgangsklemme OUT_2 abrupt in die Nähe des ersten negativen Potentials V_{SS1} (während der Zeitdauer T_1 in Fig. 6b). Danach kann das Potential an der Ausgangsklemme OUT_2 allmählich in die Nähe des gewünschten negativen Potentials V_{SS2} (während der Zeitdauer T_2 in Fig. 6b) gebracht werden. Damit wird die gesamte Verzögerung auf die Summe der Zeitabschnitte T_1 und T_2 verkürzt, so daß ein Hochgeschwindigkeits-Pegelverschiebevorgang möglich ist. Da die Summe der Zeitabschnitte T_1 und T_2 viel kleiner ist als die der Zeitabschnitte T_3 oder T_4 in Fig. 6a, wird die Zeitdauer, während der ein Strom durch den P-Kanal-FET T_3 und den N-Kanal-FET T_6 fließt minimisiert, wodurch der Leistungsverbrauch während der Übergangszeitdauer beträchtlich vermindert werden kann.

Da das Eingangssignal beiden Gateelektroden des P-Kanal-FETs T_3 und des N-Kanal-FETs T_6 direkt zugeführt wird, kann die Änderung in den leitenden Zustand der komplementären FETs T_3 und T_6 mit höherer Geschwindigkeit erreicht werden als bei der bekannten Pegelverschiebeschaltung nach Fig. 1. Damit kann die Zeitdauer, während der ein Strom durch die FETs T_3 und T_6 fließt, weiter vermindert werden. Darüber hinaus ändern sich während der Übergangszeitdauer, bei Änderung des Eingangssignalpegels, die Gatepotentiale der entsprechenden FETs T_3 und T_6 kontinuierlich und es wird zwangsläufig ein Strom durch die beiden FETs geleitet. Da jedoch bei der oben beschriebenen Ausführungsform zwischen den Spannungsquellen und den in Reihe geschalteten P-Kanal-FET T_3 und N-Kanal-FET T_6 Widerstände R_1 und R_2 geschaltet sind, kann die Größe des zwischen den Spannungsquellen fließenden Stromes klein gemacht werden. Damit kann bei dieser Pegelverschiebeschaltung der Leistungsverbrauch wirkungsvoll vermindert werden.

Wenn nun das an der Eingangsklemme IN anliegende Eingangssignal vom höheren Pegel zum niedrigeren Pegel verändert wird, so wird der P-Kanal-FET T_3 leitend, während der N-Kanal-FET T_6 nichtleitend wird. Gleichzeitig nimmt der Ausgang des Inverters INV_2 das dem höheren Pegel entsprechende Potential V_{DD} an, so daß das Potential an der Ausgangsklemme OUT_2 aufgrund der Differenzierwirkung des Kondensators C_1 (während der Zeitdauer $T_3 + T_6$ in Fig. 6b) schnell in die Nähe des Potentials V_{DD} gebracht wird. Da damit die Verzögerung im Anstieg des Ausgangssignals O_2 sehr kurz ist und auch der N-Kanal-FET T_6 fast gleichzeitig mit der Änderung des Eingangssignalpegels in den nichtleitenden Zustand kommt, ist die Größe des zwischen der positiven und negativen Spannungsquelle V_{DD} und V_{SS2} fließenden Stromes klein. Er wird noch durch die Widerstände R_1 und R_2 weiter vermindert, so daß der Leistungsverbrauch reduziert werden kann. Bevor sich der FET vom leitenden Zustand in den nichtleitenden Zustand ändert, behält er für eine Weile aufgrund seiner Gatekapazität den leitenden Zustand bei, da die Schwellenwertspannungen der entsprechenden FETs durch die Widerstände R_1 und R_2 angehoben werden, so daß der Betrag des zwischen den Spannungsquellen fließenden Stromes auf einen kleinen Betrag begrenzt wird und damit der Leistungsverbrauch vermindert werden kann.

Wie bereits oben beschrieben wurde, wird bei dieser Ausführungsform der Erfindung ein zwischen den beiden Spannungsquellen fließender Strom durch das Einfügen von Impedanzen zwischen den Spannungsquellen und den Sourceelektroden der FETs begrenzt, und zwar aufgrund von äquivalent hohen Schwellwertspannungen der Feldeffekttransistoren. Darüber hinaus wird ein Anstieg oder Abfall des Ausgangssignals O_2 durch Einlegen eines differenzierten Signals von der Differenzierschaltung beschleunigt, was den Vorteil hat, daß ein zwischen den Spannungsquellen fließender Strom vermindert und das Frequenzverhalten bzw. Ansprechverhalten verbessert werden kann.

Bei der oben beschriebenen Ausführungsform der erfindungsgemäßen Pegelverschiebeschaltung wird das Eingangssignal mit dem positiven Potential zum zweiten negativen Potential und das Eingangssignal mit dem ersten negativen Potential zum positiven Potential verschoben. Insbesondere wird die Phase des Ausgangssignals gegenüber der des Eingangssignals verändert bzw. umgekehrt. Wenn jedoch lediglich eine Inverterschaltung vor der Eingangsklemme IN oder nach der Ausgangsklemme OUT_2 eingefügt wird, so kann ein Ausgangssignal mit der gleichen Phase wie die des Eingangssignals erhalten werden. Außerdem können die FETs T_5 und T_6 miteinander vertauscht werden, etwa als N-Kanal-FET T_5' und P-Kanal-FET T_6' . Bei dieser veränderten Ausführungsform sollte eine zweite Gateelektrode oder eine Substratelektrode des N-Kanal-FETs T_5 mit der zweiten negativen Spannungsquelle V_{SS2} und die des P-Kanal-FETs T_6 mit der positiven Spannungsquelle V_{DD} verbunden werden. Bei dieser veränderten Ausführungsform einer Pegelverschiebeschaltung erhält man ein Ausgangssignal mit keiner Phasenumkehr. Dabei sollte jedoch anstelle des Inverters INV_2 ein Widerstand oder ein nichtleitender Verstärker verwendet werden. Bei derartigen Pegelverschiebeschaltungen können die Vorteile und Wirkungen der Erfindung in ausreichender Weise erreicht werden.

Die Erfindung ist jedoch nicht auf die oben beschriebene bevorzugte Ausführungsform beschränkt, sondern kann auf verschiedene Weise verändert werden. So können anstelle der als Impedanzelemente in der oben beschriebenen ersten Ausführungsform nach Fig. 2 verwendeten Widerstände R_1 und R_3 aktive Elemente, wie etwa ein P-Kanal-FET T_7 und ein N-Kanal-FET T_{10} , deren Widerstände in Abhängigkeit von ihrem Eingangspotential verändert werden, anstelle der Widerstände R_1 und R_3 verwendet werden, wie es in Fig. 3 dargestellt ist. Da bei dieser veränderten Ausführungsform der Widerstandswert des N-Kanal-FETs T_{10} auf einen hohen Wert eingestellt werden sollte, ergibt sich der Vorteil, daß der zwischen den Spannungsquellen fließende Strom unterdrückt und der Anstieg des Ausgangssignals O_2 beschleunigt werden kann.

Alternativ dazu kann, wie in Fig. 4 dargestellt, eine Impedanz Z_1 aus einem Widerstand R_3 und einem Kondensator C_3 und eine Impedanz Z_2 aus einer Parallelschaltung eines Widerstands R_4 und eines Kondensators C_4 anstelle der Widerstände R_1 bzw. R_2 in der ersten Ausführungsform nach Fig. 2 verwendet werden. Wenn sich bei dieser Ausführungsform das Ausgangspotential an der Ausgangsklemme ändert, so kann es aufgrund der Kondensatoren C_3 und C_4 noch schneller auf das Potential einer Spannungsquelle verändert werden, so daß der Anstieg bzw. Abfall des Ausgangssignals beschleunigt wird.

Bei einer weiteren Ausführungsform der Erfindung,

die in Fig. 5 dargestellt ist, ist ein N-Kanal-FET T_{11} zwischen der negativen Spannungszuführungsklemme des Inverters INV_2 und der zweiten negativen Spannungsquelle V_{SS2} eingefügt, um das Potential der negativen Spannungsquelle für den Inverter INV_2 in die Nähe des Potentials V_{DD} zu bringen, wenn das Potential des an der Eingangsklemme IN anliegenden Eingangssignals sich auf dem Potential V_{SS1} befindet, bzw. um das Potential der negativen Spannungsquelle in die Nähe des Potentials V_{SS1} zu bringen, wenn das Potential des Eingangssignals das Potential V_{DD} ist. Dadurch kann der im Inverter INV_2 verbrauchte Strom reduziert und die Pegelveränderung an der Ausgangsklemme OUT_2 aufgrund der Veränderung des Eingangssignals groß gemacht werden und außerdem der Anstieg bzw. Abfall im Potential an der Ausgangsklemme OUT_2 beschleunigt werden.

Andererseits können auch anstelle der Lastimpedanzen aktive Lasten, wie etwa Konstantstromquellen verwendet werden, bei denen ein Feldeffekttransistor so geschaltet ist, daß er eine Konstantstromquelle bildet.

Die erfindungsgemäße Transistorschaltung ist für integrierte Halbleiterschaltungen für Hochgeschwindigkeitsschaltungen bzw. Hochgeschwindigkeitsumschaltungen sowie für geringen Leistungsverbrauch verwendbar. Selbst wenn die erfindungsgemäße Transistorschaltung für eine Pegelverschiebeschaltung, wie in den oben beschriebenen Ausführungsformen verwendet wird, so kann eine ausreichend hohe Geschwindigkeit ebenso wie ein ausreichend geringer Leistungsverbrauch erreicht werden.

Wenn andererseits das Potential der ersten negativen Spannungsquelle V_{SS1} und das Potential der zweiten negativen Spannungsquelle V_{SS2} auf das gleiche negative Potential eingestellt werden, so kann die Schaltung für verschiedene Transistorschaltungen verwendet werden, wie etwa Wellenformerschaltungen oder Inverterschaltungen für ein Eingangssignal, Signaldetektorschaltungen oder dgl. In all diesen Transistorschaltungen kann in gleicher Weise eine Hochgeschwindigkeitsverarbeitung und ein geringer Leistungsverbrauch erreicht werden.

Hierzu 3 Blatt Zeichnungen

FIG. 4

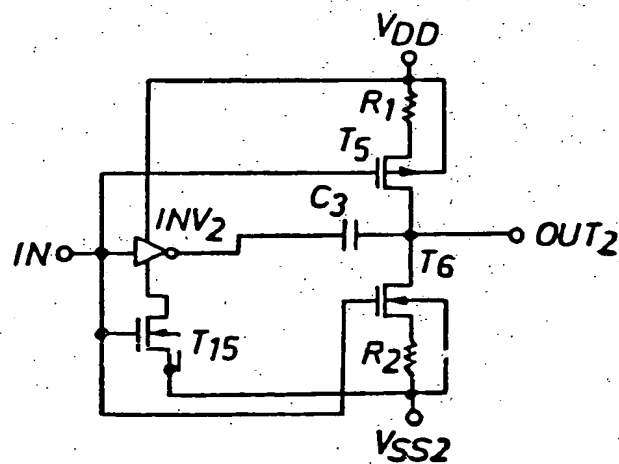
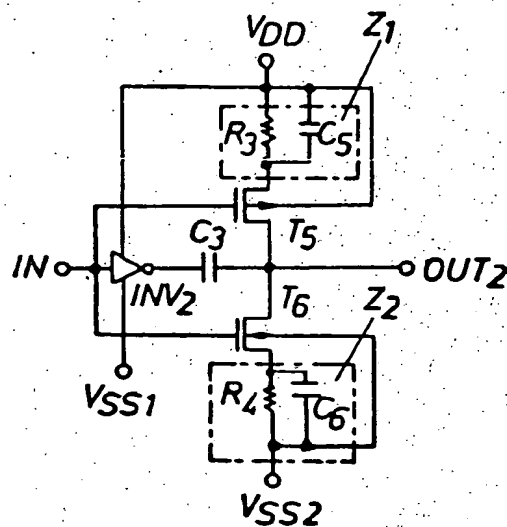
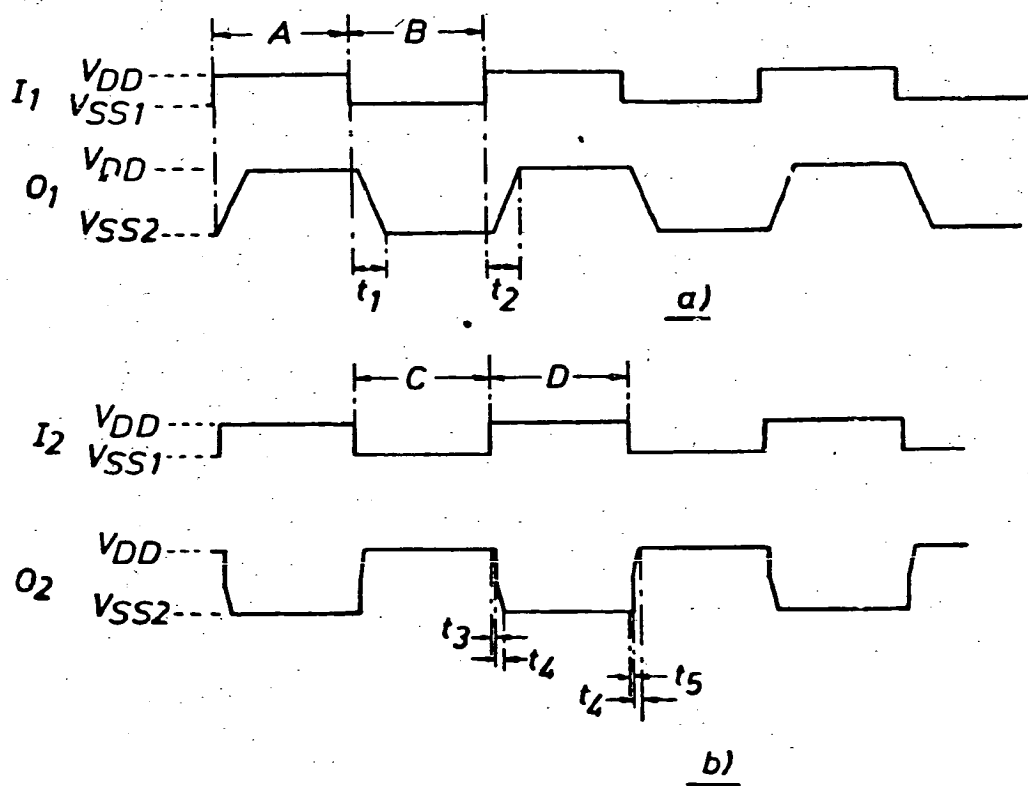


FIG. 5

FIG. 6

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)